

新闻发布

Legend 公布了芯片上存储器的质量保证 (QA) 解决方案

加州圣塔克拉拉，2015 年 9 月 23 日- Legend 公布了 SoC 芯片上存储器的质量保证 (QA) 解决方案。凭借其业界认可的存储器验证及建模技术，Legend 提供了工具（如 Memory Diagnoser）和服务，从布局提取电路包括寄生的数据，来保证布局后功能，模型精度，信号完整性和杂讯容限的质量。

对于如 16 纳米/20 纳米/28 纳米等先进技术，芯片上嵌入式存储器的质量保证(QA)，已经变得越来越必要，因为

1. 由于高端产品复杂的技术和设计，所衍生造成的高风险
2. 由于终端产品的高销量和短周期，SoC 设计上的任何闪失，均会造成公司商务上严重的影响，和
3. 由于供应商不可能完整地测试编译器产生的几十万个存储器单元(Instance)，因此造成客户使用上的风险和不确定性。

通常情况下，客户只关心自己 SoC 设计上有限数量的存储器 IP，是否能够正确地操作，而无法顾及编译器产生的所有数十万个存储器单元(Instance) 都要如此。因此，客户只需要有他们芯片上有限数量存储器 IP 的质量保证(QA)，因为那些存储器 IP 占据了他们芯片上的大部分布局。

芯片上存储器 IP 的品质保证，大致可被分类为

1. 布局后的功能验证
例如，存储器个别单元形状可以是可长可短，可胖可瘦的。超长型的存储器，可能在 Wordline 上产生的负载>Loading) 出乎意料的大，导致驱动力不够，造成无法成功的读/写。
2. 个别存储器 IP 的 .Lib 元件库模型验证
例如，Setup/Hold Time/Clock 的不足，可能导致存储器功能失效 或良率过低。
3. 信号完整性(Signal Integrity)和杂讯容限 (Noise Tolerance) 验证
例如，读出放大器(Sense Amplifier) 的输入信号如果太小，就有可能被芯片上的杂讯(On-Chip Noise) 所覆盖，导致低良率。

至于如何进行这些芯片上存储器 IP 的质量保证，Legend 提供的工具（如 Memory Diagnoser）和服务，具有以下的流程及功能：

1. 准备电路的大数据库和精确识别存储器的结构
先从布局(Layout) 提取电路及寄生元件，使用 Legend 的专利技术，就可以识别存储结构和要紧节奏。然后，建立关键路径的电路，以便运行仿真及分析。
2. 模型验证 (Model QA)

先假设厂商提供的存储器单元(Instance) 模型是正确的，Legend 的工具会根据模型和产品规范，来产生其相应刺激(Stimulus)及仿真条件，再通过运行仿真，验证原先输入的Lib 模型。如果故障是由于原先模型的时序参数不足（例如 Setup/Hold Time），Legend 的工具会反复操作，找到最佳值，来排除模型的功能障碍。

3. 布局后的功能验证 (Post-Layout QA)

通过从布局(Layout) 中提取的实际负载，建置 Access Time 的关键路径电路，使用模拟来验证存储器的基本读/写功能。如果读/写功能失败，就要检查节点的驱动力，例如在 Word line 信号的脉冲宽度。

4. 信号完整性和杂讯容限验证(Signal Integrity and Noise Margin QA)

验证如 Glitch 和 Meta-Stability 等信号完整性问题，以及对于那些易于被破坏的信号（例如 Sense Amplifier 输入信号），执行杂讯容限(Noise Margin) 的检查。通过测试所有可能组合的 EMA/RM Pin 设定，Legend 工具能够产生详尽报告，列出相应的 EMA/RM Pin 设定，(Bit-BitB) 的电压差异以及 Access Time。

从 SoC 设计人员的角度来看，芯片上的存储器 IP 有如是一个“黑盒子”，为了确保整个芯片的成功，质量保证（QA）的验证就显得十分必要。尤其是现在，从技术的复杂性和业务影响的高风险，客户是无法承受在那些昂贵的 SoC 设计上的任何差错。Legend 质量保证（QA）的产品和服务，可以检验芯片上存储器 IP 的电路及关键的区域，通过使用专利技术和专有方法，可以找出那些错误，同时提供解决的办法。Legend 的质量保证（QA）方案，提供了客户端切实可行的模式，能够彻底管控芯片上存储器 IP 的品质，以促使整体 SoC 计划的成功。